

Agnisys auf DVCon Europe: Präsentation eines Testsequenz-Generators für RISC-V-Cores und SoCs

München, Deutschland - 21. Oktober 2019 - Agnisys, Inc., ein führender EDA-Anbieter der branchenweit umfangreichsten Lösung für Design und Verifikation von Hardware/Software Interfaces (HSI) für System on Chip (SoC) Designs, präsentiert auf der DVCon Europe in München vom 29. bis 30. Oktober 2019 einen neuartigen Testsequenz-Generator für RISC-V-Cores und SoCs.

"Eine der größten Herausforderungen bei der Erstellung von Testsequenzen besteht darin, dass die gleiche Sequenzfunktionalität von mehreren Ingenieuren mehrmals in UVM, C oder CSV kodiert werden muss, um verschiedene Testumgebungen zu unterstützen", sagt Anupam Bakshi, Gründer/CEO. "Dieser Aspekt der Verifikation kann sicherlich automatisiert werden, um die Produktivität der Entwicklerteams zu steigern."

Mit der Golden-Spec-Methodik bietet ISequenceSpec™ die Umgebung für die Beschreibung von Testsequenzen in Pseudocode mit Python-Text, Word™-Dokument oder Excel™-Tabelle. Der Sequenzgenerator ist in der Lage, die Sequenzen in verschiedenen Sprachen wie SystemVerilog UVM für die Simulation, C/Python für Firmware-Tests und Python/C/ASCII/CSV für den Board-Test zu adaptieren.

Wir laden Sie herzlich ein, unsere Demo am Stand #301 zu sehen. Die Demo basiert auf einen SweRV™ Core, einem 32-Bit Dual Issue 9-stufigen Pipeline-Open-Source-Prozessor, in dem wir die Initialisierung und den regulären Betrieb des On-Chip-Programmierbaren Interrupt Controllers beschrieben haben. Die automatisch generierten Sequenzen beinhalten folgendes:

UVM-Sequenzpaket für die UVM-basierte Simulation

Wir erstellen Sequenzklassen, die um 'uvm_reg_sequence' erweitert werden. Argumente werden dabei über die Funktion 'init' verarbeitet. Lese-/Schreibtransaktionen auf Registern erfolgen über das Registermodell 'rm' innerhalb des Task-Bodys.

- uvm.sv - Sequenzdatei
- uvm.sv – Paketdatei

C-Sequenz-Paket für Firmware-Tests

Wir erstellen Funktionen mit einem bestimmten 'return type', der in den Konfigurationseinstellungen geändert werden kann. Benutzer können Register- und Feld-Schreibzugriffe über die Standard-APIs des Tools oder über benutzerdefinierten APIs durchführen.

- h - Header-Datei
- c - Sequenzdatei
- h - API-Datei
- h – Paketdatei

Plattform-Sequenzpaket für den Test der Boards

Benutzer können die Basisadresse der auf der Karte implementierten IP-Adresse angeben, APIs zum Schreiben/Lesen der Register erstellen und Initialisierungs- und Bereinigungsfunktionen vordefinieren. Nach der Generierung sind die Sequenzen auf dem Board lauffähig.

- h - Header-Datei
- c - Sequenzdatei

Preise und Verfügbarkeit

Informationen zu Preisen und Verfügbarkeit sind unter diesem Kontakt erhältlich:

Email: sales@evision-systems.de

Pressekontakt:

eVision Systems GmbH

Jahnstr. 12

D – 85661 Forstinning b. München

Josef Ostermeier

Tel : 08121-220825

jostermeier@evision-systems.de

Webseite: www.evision-systems.de

Onlineshop: www.evision-webshop.de

Über ISequenceSpec™

ISequenceSpec bietet die Plattform, um die SoC-Konfiguration, Programmierung und Testsequenzen in einer einheitlichen Spezifikation (golden specification) zu erfassen.

Erfassen Sie die Sequenzen einmalig in Pseudocode mit Tabellenkalkulation oder Text und generieren Sie die erforderlichen Sequenzen in SystemVerilog für die Simulation, C/Python für Firmware-Tests, C für die Emulation und CSV/ASCII für den Test des Siliziums.

Änderungen in der einheitlichen (goldenen) Spezifikation erfordern nur eine Neugenerierung der Zielsequenzcodes. Mit vollem Zugriff auf das Register und die Speicherabbildung in SystemRDL, IP-XACT oder CSV können Benutzer problemlos Testsequenzen für das Lesen/Schreiben von Registern und Nachrichten auf Transaktionsebene erfassen, wobei sie erweiterte Konstrukte wie Schleifen, if-else, wait, arguments, constant oder in-line Funktionen verwenden.

Über eVision Systems GmbH

Die eVision Systems GmbH unterstützt Firmen, die sich mit der Entwicklung elektronischen- und embedded Systemen beschäftigen, durch ein umfangreiches Portfolio an Mess- und Testgeräten, Entwicklungswerkzeugen und Dienstleistungen.

Seit der Gründung hat sich die eVision Systems GmbH das Ziel gesetzt, Produkte junger innovativer Firmen in den Markt einzuführen. Diesen Produkten ist gemeinsam, dass sie technologisch neuartig sind oder, dass sie mehr als eine Alternative zu etablierten Lösungen darstellen. Designsicherheit, Wiederverwendbarkeit und Produktivitätssteigerung als Ergebnis sind die Garanten des Erfolges unserer Kunden.

Gemeinsam mit [ALDEC](#), [Agnisys](#), [Dediprolog](#), [Micron Advanced Computing Solutions](#), [One Spin Solutions](#), [Passmark](#), [PEmicro Computer Systems](#), [Prodigy Technovations](#), [Sigasi](#) und [Total Phase](#) arbeiten wir mit Kunden in ganz Zentraleuropa.

Weitere Informationen finden Sie auf unserer Webseite: <http://www.evision-systems.de> oder auf unseren Webshop: <http://www.evision-webshop.de>.

Über Agnisys

ist ein führender Anbieter von Electronic Design Automation Software zur Lösung komplexer Design- und Verifikationsprobleme in der Systementwicklung. Die Produkte bieten einen gemeinsamen, spezifikationsgetriebenen Entwicklungsablauf zur Beschreibung von Registern und Sequenzen für System-on-Chip und IP's (Intellectual Property), der ein schnelleres Design, eine schnellere Verifikation, Firmware und Validierung ermöglicht. Basierend auf einer patentierten Technologie und intuitiven Benutzeroberflächen steigern die Produkte die Produktivität und Effizienz und eliminieren gleichzeitig Systemdesign- und Verifizierungsfehler. Agnisys wurde 2007 gegründet und hat seinen Hauptsitz in Boston, Massachusetts, sowie Forschungs- und Entwicklungszentren in den Vereinigten Staaten und Indien. www.agnisys.com